

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-153655

(43)公開日 平成11年(1999)6月8日

(51) Int.Cl.⁶
G 0 1 R 31/3183
31/28

識別記号

F I
G O I R 31/28

QH

審査請求 有 請求項の数6 OL (全 8 頁)

(21)出願番号 特願平10-240867

(22)出願日 平成10年(1998)8月26日

(31)優先権主張番号 1997. 41218

(32)優先日 1997年8月26日

(33)優先権主張国 韓国 (KR)

(71)出願人 390019839

三星電子株式会社

大韓民國京畿道水原市八達區梅灘洞416

(72) 堯明者 朴 相坤

大韓民国ソウル市松坡区梧琴洞160番地三

星工一ピーティ 1-308

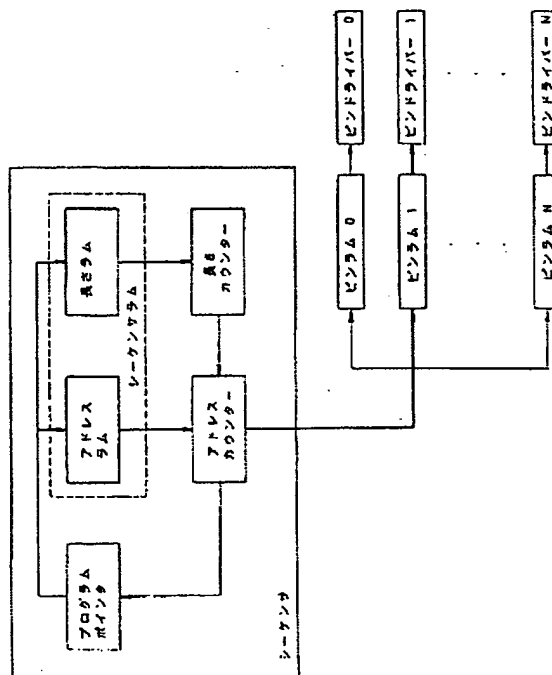
(74) 代理人 弁理士 志賀 正武 (外1名)

(54) 【発明の名称】 圧縮されたディジタルテストデータを用いたＩＣチップ検査装置及び該検査装置を用いたＩＣチップ検査方法

(57) 【要約】

【課題】 多数のテストベクトルからなるテストデータを用いてICチップを検査するICチップ検査装置及びICチップ検査方法を提供する。

【解決手段】 本検査装置は、ピンメモリ、シーケンサメモリ、及び駆動部を有する。ピンメモリは多数のテストブロックを貯蔵する。テストブロックはテストベクトルの中で少なくとも一つのテストベクトルの組合せであり、該テストブロックはテストデータ内で少なくとも一度以上反復される。シーケンサメモリはテストデータを復元するためのテストブロックの指定順序に対する情報を貯蔵する。駆動部はシーケンサメモリに貯蔵された指定順序にしたがってピンメモリに貯蔵されたテストブロックを順次出力させるためにピンメモリを駆動する。本検査装置はテストデータの復元のための別途のCPUが要らず、プログラミングが簡単である。



【特許請求の範囲】

【請求項 1】 多数のテストベクトルからなるテストデータを用いて IC チップを検査する検査装置において、前記テストベクトルの中で少なくとも一つのテストベクトルの組合からそれぞれなり前記テストデータ内で少なくとも一度以上反復される多数のテストブロックを貯蔵するピンメモリと、

前記テストデータを復元するための前記テストブロックの指定順序に対する情報を貯蔵するシーケンサメモリと、

前記シーケンサメモリに貯蔵された前記指定順序にしたがって前記ピンメモリに貯蔵されたテストブロックを次第に出力させるように前記ピンメモリを駆動する駆動部とを含むことを特徴とする IC チップ検査装置。

【請求項 2】 前記シーケンサメモリは、それぞれの前記テストブロック内の始めのテストベクトルのアドレスに該当する始めアドレスを前記指定順序にしたがって貯蔵するアドレスメモリと、前記始めアドレスにより指定される前記テストブロック内のテストベクトルの個数に対する情報を前記指定順序にしたがって貯蔵する長さメモリとを含むことを特徴とする請求項 1 記載の IC チップ検査装置。

【請求項 3】 前記駆動部は、前記アドレスメモリから前記始めアドレスが入力され前記ピンメモリに貯蔵されたテストベクトルのアドレスを指定するアドレスカウンタと、前記長さメモリから前記テストベクトルの個数に対する情報が入力され前記アドレスカウンタにより一つのテストブロック内の総てのテストベクトルが次第に指定されるように入力された値だけ前記アドレスカウンタの値を次第に変動させる長さカウンタと、前記アドレスカウンタによる一つのテストブロック内の全てテストベクトルの指定が完了された後、前記アドレスメモリ及び前記長さメモリ内の次の情報がそれぞれ前記アドレスカウンタ及び前記長さカウンタ内に入力されるように前記アドレスメモリ及び前記長さメモリを駆動するプログラムポイントとを含むことを特徴とする請求項 2 記載の IC チップ検査装置。

【請求項 4】 前記ピンメモリは、前記テストベクトルのビットの数と同一の個数のラムを含むことを特徴とする請求項 1 記載の IC チップ検査装置。

【請求項 5】 前記ピンメモリから出力されたテストデータを前記 IC チップに入力可能な信号に変換させるためのピンドライバをさらに含むことを特徴とする請求項 1 記載の IC チップ検査装置。

【請求項 6】 前記多数のテストベクトルからなるテストデータを用いて IC チップを検査する IC チップ検査方法において、前記テストベクトルの中で少なくとも一つのテストベクトルの組合せからそれぞれなり前記テストデータ内で少

なくとも一度以上反復される多数のテストブロックを決める段階と、

前記テストデータを復元するための前記テストブロックの指定順序を設定する段階と、

前記指定順序にしたがって前記テストブロックを次第に出力することにより前記テストデータを復元する段階と、

前記復元されたテストデータを前記 IC チップに入力する段階と、

入力された前記テストデータによって前記 IC チップから出力される出力データを基準データと比較して前記 IC チップの良否を判断する段階とを含むことを特徴とする IC チップ検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は IC チップ検査装置及び IC チップ検査方法に係り、特にデジタルテストデータ内のテストベクトルを多数のテストブロックにグルーピングし、該テストブロックを順次出力することによってテストデータを復元する IC チップ検査装置及び該検査装置を用いた IC チップの検査方法に関する。

【0002】

【従来の技術】 一般に、電子機器に用いられる PCB (Printed Circuit Board) はデジタル信号を処理するための多数の IC チップを有している。該 IC チップは PCB 内で相互に電氣的に連結されている。IC チップの連結状態及び IC チップ自体の正常動作の可否は別途の IC チップ検査装置により検査される。

【0003】 このような IC チップ検査装置は、IC チップにテスト用デジタル信号を入力した後、入力されたデジタル信号により IC チップから出力されるデジタル信号を所定の基準信号と比較する。該比較結果によって IC チップ検査装置は IC チップの良否を判断する。

【0004】 IC チップ検査装置は、PCB 全体にテスト用デジタル信号を入力したり、PCB 内の特定のデジタル素子だけにデジタル信号を入力したりする。このように、テスト用デジタル信号は検査の目的によって PCB 全体或いは PCB 内の特定素子だけに入力される。この時、PCB 内の特定素子の不良の有無を検査することをインサーキットテストといい、PCB 全体或いは PCB 内の大きいブロックを検査することを機能テストという。

【0005】 最近の PCB は LSI (large scale integration) または VLSI (very largescale integration) のような高集積度の IC チップを多数含んでおり、またこのような IC チップはデジタル信号の入出力のために多数のピンを有している。このように複雑な IC チップを検査するためには、図 1 に示したように、IC チップの入力ピンに長く複雑なデジタル信号を印加しなけ

ればならず、このような信号をテストデータという。

【0006】図2は、テストデータの一例を示している。テストデータはテストパターンともいい、図2に示したように行列の形態に表現される。各行はICチップの一つの入力ピンに順次入力されるデータを示し、各列はクロック毎に発生するデータを示す。したがって、行の数はICチップの入力ピンの数に対応し、各列はテストベクトルという。ICチップのテストのために各テストベクトルが入力ピンにクロック毎に順次入力される。

【0007】大部分のICチップ検査装置は、テストデータをメモリに記憶させた後に、一定のクロックにしたがってテストベクトルを順次発生させる。一般に複雑なVLSIは数百個の入出力ピンを有しており、テストデータは数千乃至数万個のテストベクトルからなっている。したがって、複雑なICチップを検査するためには多量のテストデータを貯蔵するための大容量のメモリが要求され、これによりICチップ検査装置の嵩が増加し、コストも増大する。

【0008】このような問題を解決するために、テストデータを圧縮することによってメモリを減らす多様な方法が提案されている。圧縮されたテストデータはメモリに貯蔵され、ICチップの検査を行う時に圧縮されたテストデータが元来のテストデータに変換される。ICチップ検査装置はテストデータを圧縮させるための様々な圧縮方法を採用しており、この圧縮方法によるテストデータの圧縮の効率がICチップ検査装置の性能及びコストを決定する。

【0009】このようなテストデータ圧縮方法の典型的な例が、Hewlett-Packardの米国特許第4,652,814号明細書に開示されている。図3は、Hewlett-Packardの米国特許第4,652,814号明細書に開示されたICチップ検査装置を示したブロック図である。開示されたHewlett-Packardの特許においては度々発生される部分を短いコードに置換した後、該置換されたコードで全てテストデータを表現する方式を採用している。

【0010】図3において、ピンドライバ回路は実際にテストベクトルが出力される所であり、ローカルテストデータラムはテストデータが貯蔵される所である。ピンドライバ回路の数はICチップの入力ピンの数と同一であり、またピンドライバ回路はそれぞれICチップの入力ピンに連結されている。ローカルテストデータラムの数もICチップの入力ピンの数と同一である。したがって、それぞれのローカルテストデータラムに貯蔵されているデータはテストデータの行に対応し、ローカルテストデータラムの数はテストデータの行の数と同一である。

【0011】ローカルテストデータラムには総てのテストベクトルがその出力順序にしたがって貯蔵されず、多くのテストベクトルの中で同一のテストベクトルは一度

だけ貯蔵されている。だから、ローカルテストデータラムに貯蔵されているテストベクトルは総てが相互に異なっている。仮に一つのテストベクトルがテストデータ内で度々用いられると、ローカルテストデータラムに貯蔵されている該テストベクトルは反復的に用いられる。したがって、同一のテストベクトルが重複されて貯蔵されないので全てのテストデータの大きさを小さくすることができる。

【0012】このように、ローカルテストデータラムには反復されない一つのテストベクトルだけが記憶されるので、該テストベクトルを組み合わせて元来のテストデータを復元するためには追加の装置が必要である。該追加装置をシーケンサという。

【0013】シーケンサはCPU、プログラムラム、カウンタ/レジスタ、プライオリティエンコード、エンコードラム、及びMUXから構成される。エンコードラムにはローカルテストデータラムに貯蔵されている各テストベクトルのアドレスが貯蔵されている。該アドレスを用いてローカルテストデータラム内の特定のテストベクトルを反復的に出力することができる。

【0014】カウンタ/レジスタはプライオリティエンコードを通じてエンコードラムを制御する。カウンタ/レジスタはエンコードラムの特定位置を記憶することができ、エンコードラムに記憶されているアドレスを通じてテストベクトルの特定のブロックを反復して用いることができる。したがって、いくつかのテストベクトルからなる一つのブロックを反復的に指定しようとする場合にはカウンタ/レジスタが用いられる。

【0015】CPUはシーケンサ内の全ての装置を制御する。CPUの命令語はプログラムラムに貯蔵されている。

【0016】使用者は反復されないテストベクトルをローカルテストデータラムに貯蔵し、該テストベクトルの各アドレスをエンコードラムに貯蔵し、シーケンサの全ての制御の順序をプログラムラムに貯蔵する。したがって、ICチップを検査する時には、プログラムラムに貯蔵された順序にしたがってCPUがエンコードラムを制御してローカルテストデータラム内に貯蔵されているテストベクトルの中で必要なテストベクトルを順次出力する。これにより元来のテストデータが復元され、復元されたテストデータはピンドライバ回路によりICチップ入力に適したデジタル信号に変換されてからICチップに入力される。

【0017】このようなHewlett-Packardの特許に開示されたICチップ検査装置は、テストデータを圧縮できる効率的な方法を提供するが、次の短所がある。

【0018】① シーケンサがCPUを含んでいるのでシーケンサの構成が複雑である。CPUには、別途のクロックとロム及びラムとが必ず必要である。したがっ

て、ICチップ検査装置のコストが増大され、構造が複雑である。

【0019】② 全てのテストデータを圧縮するためにテストデータをローカルテストデータラム、エンコードラム、及びプログラムラムで要求する三つの形態のデータに変換させなければならないので、テストデータを変換させるためのプログラムが複雑で、該プログラミングがとても難しい。

【0020】

【発明が解決しようとする課題】したがって、本発明の目的は、従来のこのような問題点を考慮して、別途のCPUがなく簡単な構造で、テストデータを圧縮するためのプログラミングが容易なICチップ検査装置を提供することである。また、本発明の他の目的は、前記のようなICチップ検査装置を用いたICチップ検査方法を提供することである。

【0021】

【課題を解決するための手段】前記の目的は、本発明によって、多数のテストベクトルからなるテストデータを用いてICチップを検査する検査装置において、前記テストベクトルの中で少なくとも一つのテストベクトルの組合からそれぞれなり前記テストデータ内で少なくとも一度以上反復される多数のテストブロックを貯蔵するピンメモリと、前記テストデータを復元するための前記テストブロックの指定順序に対する情報を貯蔵するシーケンサメモリと、前記シーケンサメモリに貯蔵された前記指定順序にしたがって前記ピンメモリに貯蔵されたテストブロックを順次出力させるように前記ピンメモリを駆動する駆動部とを含むことを特徴とするICチップ検査装置によって達成される。

【0022】望ましくは、前記シーケンサメモリは、それぞれの前記テストブロック内の始めのテストベクトルのアドレスに当該する始めアドレスを前記指定順序にしたがって貯蔵するアドレスメモリと、前記始めアドレスにより指定される前記テストブロック内のテストベクトルの個数に対する情報を前記指定順序にしたがって貯蔵する長さメモリとを含む。

【0023】また、前記駆動部は、前記アドレスメモリから前記始めアドレスが入力され前記ピンメモリに貯蔵されたテストベクトルのアドレスを指定するアドレスカウンタと、前記長さメモリから前記テストベクトルの個数に対する情報が入力され前記アドレスカウンタにより一つのテストブロック内の全てのテストベクトルが順次指定されるように入力された値だけ前記アドレスカウンタの値を順次変動させる長さカウンタと、前記アドレスカウンタによる一つのテストブロック内の全てのテストベクトルの指定が完了された後、前記アドレスメモリ及び前記長さメモリ内の次の情報がそれぞれ前

記アドレスカウンタ及び前記長さカウンタ内に入力されるように前記アドレスメモリ及び前記長さメモリを駆動するプログラムとを含む。

【0024】前記他の目的を達成するための本発明によるICチップ検査方法は、テストベクトルの中で少なくとも一つのテストベクトルの組合せからそれぞれなり前記テストデータ内で少なくとも一度以上反復される多数のテストブロックを決める段階と、前記テストデータを復元するための前記テストブロックの指定順序を設定する段階と、前記指定順序にしたがって前記テストブロックを順次出力することにより前記テストデータを復元する段階と、前記復元されたテストデータを前記ICチップに入力する段階と、入力された前記テストデータによって前記ICチップから出力される出力データを基準データと比較して前記ICチップの良否を判断する段階とを含む。

【0025】本発明によると、テストデータが多数のテストブロックにグルーピングされ該テストブロックが反復的に用いられるので、テストデータ全てを貯蔵することが不必要となり、メモリが節約される。また、各テストブロックは始めアドレスと長さアドレスだけで表現され、全てのテストデータが始めアドレスと長さとの貯蔵順序にしたがって容易に復元される。

【0026】したがって、テストデータの復元のための別途のCPUが不要であり、プログラミングが簡単である。また、ICチップ検査装置のコストを低減することができる。

【0027】

【発明の実施の形態】以下、添付した図面を参照して本発明を詳しく説明する。まず、後述される本発明によるICチップ検査装置内のピンラムに貯蔵されるテストブロックを決めるためのテストデータのグルーピング方式を説明する。

【0028】テストデータは前述の如く、行列で表現される。各行はICチップの入力ピンに順次入力されるデータを示し、各列はクロック毎に発生するデータを示す。したがって、行の数はICチップの入力ピンの数に対応し、各列はテストベクトルという。

【0029】テストデータは、多数のテストブロックに分類される。各テストブロックは、一つ或いはそれ以上のテストベクトルからなる。テストデータにはいくつかのテストベクトルからなる組合せが少なくとも一度以上反復されて現れ、該反復されて現れるテストベクトルの組合せが一つのテストブロックに決定される。

【0030】テストブロックの例を表1に示す。

【0031】

【表1】

	アドレス	テストベクトル	始めアドレス	長さ	表示
第1テストブロック	140	0 1 0 0 0 1 0 1 0 0	140	8	(140, 8)
	141	0 1 1 0 0 1 0 1 0 0			
	.	.			
	147	0 0 1 0 0 1 0 1 0 0			
第2テストブロック	200	1 0 0 1 0 1 0 1 0 0	200	12	(200, 12)
	201	1 1 0 1 0 1 0 1 0 0			
	202	0 1 1 0 0 1 0 1 0 0			
	211	0 1 1 1 0 1 0 1 0 0			
第3テストブロック	450	0 1 1 0 1 1 0 1 0 1	450	5	(140, 5)
	450	0 1 1 0 1 1 0 1 0 1			
	.	.			
	450	0 1 1 0 1 1 0 1 0 1			

テストベクトル

【0032】例えば、表1に示したように、140番地から147番地までのアドレスが順次付けられた8個のテストベクトルの組合せがテストデータ内で少なくとも一度以上現れる場合、該テストベクトルが一つのテストブロック、例えば第1テストブロックに決定される。同一の方式で、200番地から211番地までのアドレスが順次付けられた12個のテストベクトルの組合せがテストデータ内で少なくとも一度以上現れる場合、該テストベクトルが他のテストブロック、例えば第2テストブロックに決定される。また、450番地が付けられたテストベクトルだけからなる5個のテストベクトルの組合せがテストデータ内で少なくとも一度以上現れる場合、該テストベクトルがさらに他のテストブロック、例えば第3テストブロックに決定される。

【0033】このように決定されたテストベクトルは、次に例示されたように始めアドレスとテストブロックの長さで簡単に表現することができる。

(140, 8) ⇒ 140, 141, 142, 143, 144, 145, 146, 147

(200, 12) ⇒ 200, 201, ……………, 210, 211

(450, 5) ⇒ 450, 450, 450, 450, 450

(ここで、5は、数字5にアンダーラインを引いたものを示すものとする。)

【0034】括弧内の左側のパラメータは一つのテストブロックの始めアドレスを示し、右側のパラメータは該テストブロックの長さを示す。ここで、第3テストブロックの長さを示す数字にはアンダーラインが引かれている。該アンダーラインは同一のアドレスが反復されることを意味する。このように、始めアドレスと長さを

指定することによって一つのテストブロックが表現される。このとき、一度用いられたテストブロックの一部、即ち、一つのテストブロック内の一つまたはいくつかのテストベクトルが他のテストブロックでも用いることができる。例えば、次のようなさらに他のテストブロックの追加的な指定が可能である。

(201, 3) ⇒ 201, 202, 203

【0035】ここで、201番地から203番地までは前記の第2テストブロックを構成するテストベクトルの一部である。このようなテストブロックは、例えば第4テストブロックに決定することができる。このように一つのテストブロックで用いられたテストベクトルも、その中の少なくとも一つからなる組合せがテストデータ内の他の部分でもう一度以上用いられると、さらに他のテストブロックに決定され得る。

【0036】また、テストデータ内で度々用いられる一つのテストベクトルに対してはおおよそ一つのアドレスを付けるが、一つのテストベクトルがいくつかのテストブロック内で用いられる場合には同一のテストベクトルにいくつかのアドレスを付けることができる。

【0037】即ち、表1を参照すると、第1テストブロック内の141番地と第2テストブロック内の202番地は同一のテストベクトルを指定している。結果的に、一つのテストベクトルに二つのアドレスが付けられる。このような方式によると、一つのテストベクトルがメモリ内に度々貯蔵され得るのでテストベクトルを貯蔵するために要求されるメモリの容量が多少増加するが、テストブロックをさらに容易に決定することができるという長所がある。

【0038】例えば、仮に第1テストブロックと第2テストブロックがテストデータ内で度々反復されると、一

つのテストベクトルに表 1 の如く二つのアドレス、即ち 141 番地と 202 番地を付けることによって、多数のテストベクトルからなるテストブロックを容易に設定することができる。したがって、全体的な圧縮効率はさらに向上させられ、プログラミングがさらに容易になる。

【0039】このようにテストデータを多数のテストブロックにグルーピングすることにおいて、一つのテストベクトルの組合せがテストデータ内でなるべく度々反復されるようにテストブロックを決定することが望ましい。また、このために、各テストベクトルにアドレスを付ける順序は必ずテストデータ内でのテストベクトルの元来の順序にしたがう必要はなく、多数のテストブロックを設定することができ、また各テストブロックができるだけ度々反復されるようにアドレスを付けることが望ましい。

【0040】また、一つのテストブロックの一部が他のテストブロックを設定することに容易に用いられるように各テストベクトルのアドレスの順序を決定することが望ましい。例えば、テストブロック (X) の後方に位置したテストベクトルと他の一つのテストブロック (Y) の前方に位置したテストベクトルからなる新しいさらに他のテストブロック (Z) がテストデータ内で度々反復される場合、該テストブロック (Z) の設定を容易にするためにはテストブロック (Y) がテストブロック (X) の真後ろに位置されるのが望ましい。このような方式によると、テストブロック (Z) をメモリに別に貯蔵しなくても、始めアドレスと長さだけでもテストブロック (Z) を容易に設定することができる。

【0041】これにより後述されるピンラムには全てのテストデータが貯蔵される必要がなく、反復されるテストブロックが一度だけ貯蔵されるとか、別に貯蔵される必要がない。従って、少ない容量のピンラムだけでも全てのテストデータを構成する総ての情報を貯蔵することができる。このようなテストブロックは本発明による IC チップ検査装置により元来のテストデータに復元されるように出力され、復元されたテストデータが IC チップに入力されることによって IC チップの検査が行われる。

【0042】図 4 は本発明による IC チップ検査装置のブロック図である。本発明による IC チップ検査装置は多数のピンラム、多数のピンドライバ、及びシーケンサから構成されている。

【0043】ピンドライバは検査される IC チップの入力ピンに連結される。ピンドライバの個数は IC チップの入力ピンの個数と同一であり、テストベクトルはピンドライバを通じて順次出力される。

【0044】ピンラムには前述の如き方式によりアドレスを付けた多数のテストベクトルが貯蔵されている。ピンラムの数も IC チップの入力ピンの数と同一である。従って、一つのピンラムに貯蔵されているデータはテ

ストデータの行に対応し、ピンラムの数はテストデータの行の数と同一である。

【0045】シーケンサはシーケンサラム、アドレスカウンタ、長さカウンタ、及びプログラムポインタを含む。また、シーケンサは前記の如きシーケンサ内の各デバイスを駆動するためのクロック (図示せず) を有している。

【0046】シーケンサラムはアドレスラムと長さラムからなる。シーケンサラムはテストブロックに対する情報を貯蔵する。即ち、シーケンサラム内のアドレスラムは各テストブロックの始めアドレスが貯蔵されており、長さラムには各テストブロックの長さに対する情報が貯蔵されている。アドレスラムは始めアドレスをテストデータに復元するための順序で貯蔵する。

【0047】アドレスカウンタには、アドレスラムから一つのテストブロックの始めアドレスが入力される。また、アドレスカウンタはピンラムに貯蔵されたテストベクトルのアドレスを指定し、このように指定されたアドレスに該当するテストベクトルが、ピンラムからピンドライバに出力される。

【0048】また、長さカウンタには長さラムから一つのテストブロックの長さに対する情報が入力される。長さカウンタは、テストブロックの長さに対する情報が入力された後からクロック毎に該内部に貯蔵された値を減少させる。これと同時に、アドレスカウンタは長さカウンタの値が "0" のない間にはクロック毎にその内部に貯蔵された値を増加させる。従って、アドレスカウンタに貯蔵された値は、長さラムに入力された数だけ順次増加され、これによりアドレスカウンタにより一つのテストブロック内の総てのテストベクトルが順次指定される。

【0049】プログラムポインタは、アドレスラムと長さラムの現在位置を示す。プログラムポインタは、アドレスカウンタによる一つのテストブロック内の総てのテストベクトルの指定が完了された後、アドレスラム及び長さラム内の次の情報がアドレスカウンタ及び長さカウンタ内にそれぞれ入力されるようにアドレスラム及び長さラムを駆動する。即ち、長さカウンタの値が "0" になると、プログラムポインタの値が増加し、これによって新しいテストブロックの始めアドレス及び長さに対する情報がアドレスラムと長さラムからそれぞれ出力されてアドレスカウンタと長さカウンタにそれぞれ入力される。

【0050】例えば、アドレスラムと長さラムの値が表 2 と同一の場合には、アドレスカウンタ、長さカウンタ、及びプログラムポインタの値はそれぞれ表 3 に示したように変化される。

【0051】

【表 2】

プログラム ポインター	アドレスラム	長さラム
1	200	4
2	320	3
....

【表 3】

プログラム ポインター	アドレスラム	長さラム
1	200	4
2	201	3
3	202	2
4	203	1
5	320	3
6	321	2
7	322	1
....

【0052】アドレスカウンターの値はクロック毎に順次ピンラムに入力され、ピンラムはその内部に貯蔵されているテストベクトルの中で順次入力されるアドレスに該当するテストベクトルを順次出力する。ピンラムから出力されたテストベクトルは、ピンドライバによりICチップに入力することに適した信号に変換され、該変換された信号はICチップの入力ピンに入力される。入力された信号によりICチップから出力された信号は所定の基準信号と比較され、比較結果によってICチップの良否が判断される。

【0053】本発明によると、テストデータが多数のテストブロックにグルーピングされ該テストブロックが反復的に用いられるので、全てのテストデータを貯蔵する必要がなくてメモリが節約される。また、各テストブロックは該始めアドレスと長さアドレスだけに表現され、全てのテストデータが該始めアドレスと長さの貯蔵順序にしたがって容易に復元される。

【0054】

【発明の効果】 前述したように、本発明によると、テス

トデータの復元のための別途にCPUが要らず、プログラミングが簡単になる。また、ICチップのテストのための装置のコストが低減される。

【0055】 以上においては、本発明の特定の望ましい実施形態に対して示し説明したが、本発明は前記の実施形態に限定されず、特許請求の範囲で請求する本発明の要旨を逸脱することなく、当該発明の属する記述分野における通常の知識を有するものであれば多様な変形実施が可能であろう。

【図面の簡単な説明】

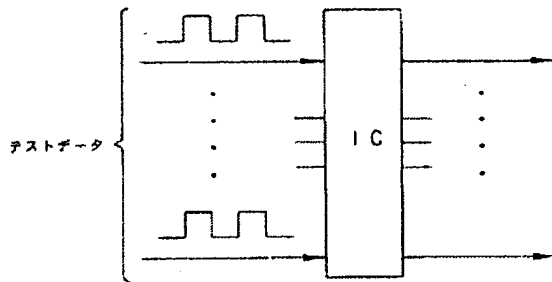
【図1】 一般のICチップにテストデータが入力される状態を示したICチップの概略図である。

【図2】 ICチップ検査用テストデータの例示図である。

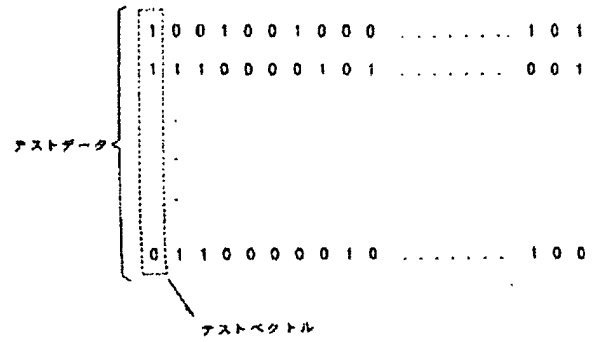
【図3】 従来のICチップ検査装置のブロック図である。

【図4】 本発明によるICチップ検査装置のブロック図である。

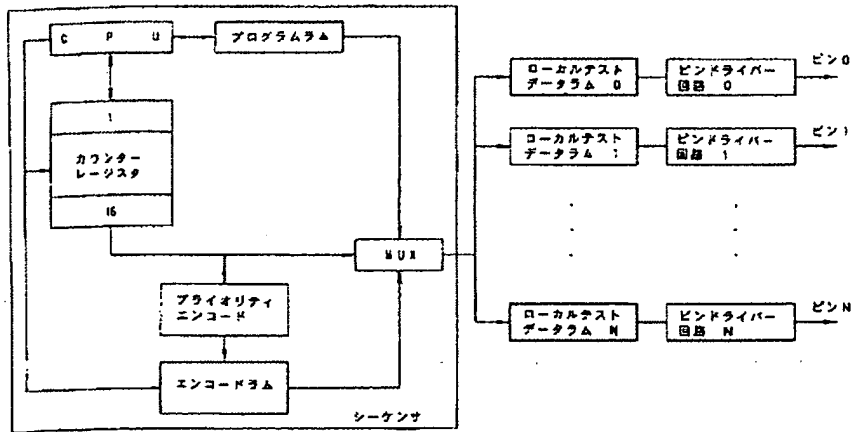
【図 1】



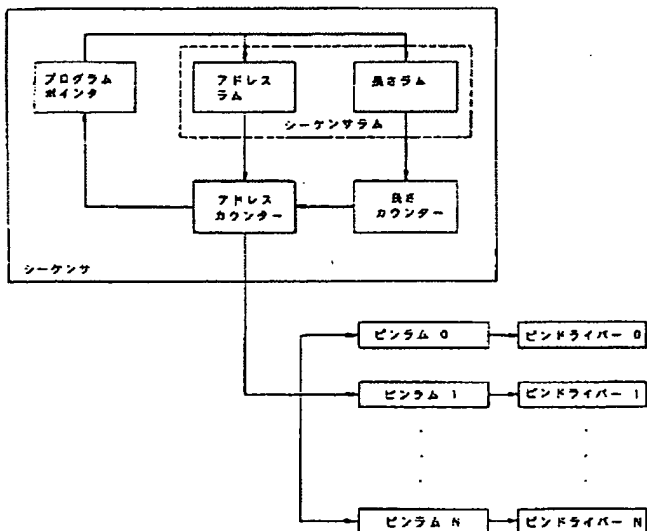
【図 2】



【図 3】



【図 4】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-153655
 (43)Date of publication of application : 08.06.1999

(51)Int.Cl. G01R 31/3183
 G01R 31/28

(21)Application number : 10-240867 (71)Applicant : SAMSUNG ELECTRON CO LTD
 (22)Date of filing : 26.08.1998 (72)Inventor : PARK SANG-GON

(30)Priority

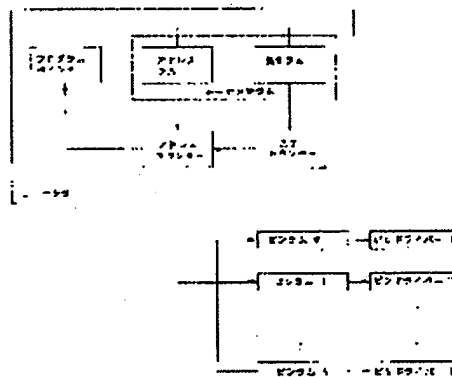
Priority number : 97 9741218 Priority date : 26.08.1997 Priority country : KR

(54) IC CHIP INSPECTION DEVICE USING COMPRESSED DIGITAL TEST DATA AND IC CHIP INSPECTION METHOD USING THE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an IC chip inspection device which inspects IC chips by using test data composed of many test vectors and an IC chip inspection method using the device.

SOLUTION: An IC chip inspection device is provided with a pin memory, a sequencer memory, and a driving section. The pin memory stores many test blocks and each test block is the combination of at least one test vector among test vectors and repeated at least one time in test data. The sequencer memory stores the information on the designating order of the test blocks for restoring the test data. The driving section drives the pin memory to make the pin memory successively output the test blocks stored in the memory in the designated order stored in the sequencer memory. This inspection device can be programmed easily, because the device requires no separate CPU for restoring the test data.



LEGAL STATUS

[Date of request for examination] 26.08.1998

[Date of sending the examiner's decision of rejection] 28.09.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office